

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110829

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 21/8247
H01L 27/115
H01L 29/786
H01L 29/788
H01L 29/792

(21)Application number : 2001-211113 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.07.2001 (72)Inventor : INOUE SATOSHI
MIGLIORATO PIERO

(30)Priority

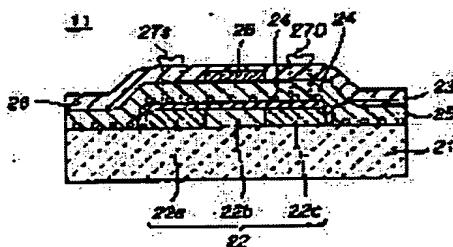
Priority number : 2000 200017158 Priority date : 11.07.2000 Priority country : GB

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is given a storage function and is applicable to an electronic device such as, for example, a portable telephone, a lap top personal computer, a CVD player, etc.

SOLUTION: A TTF memory 11 is equipped with a polysilicon layer 22 which has each region of a source 22a, a channel 22b, and a drain 22c made on a substrate 21; and gate oxide films (insulating films) 23 and 25 which are made on this polysilicon layer 22. A plurality of granular silicon grains for catching the charge of the implanted carriers exist within these gate oxide films 23 and 25. Specifically, the gate oxide film consists of the first gate oxide film 23 and the second gate oxide film 25 made on this first gate oxide film 23. Multiple silicon grains 24 are interposed between the first gate oxide film 23 and the second gate oxide film 25. The first gate oxide film 23 is made extremely thin.



1 Abstract

A TFT memory 11 is provided with a polysilicon layer 22, wherein each region of the source 22a, channel 22b and the drain 22c are formed on a substrate 21, and gate oxide films (insulating films) 23 and 25 are formed on the polysilicon layer 22; and a plurality of silicon particles 24 for trapping the charge of injected carriers are placed between the gate oxide films 23 and 25. Specifically, the gate oxide films comprise a first gate oxide film 23 and a second gate oxide film 25 formed on the first gate oxide film 23; the plurality of silicon particles 24 are located between the first gate oxide film 23 and the second gate oxide film 25, and the first gate oxide film 23 is formed in an extremely thin thickness.

2 Representative Drawing

Fig. 3

【外国語明細書】

1 Title of Invention

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE

2 Claim(s)

1. A semiconductor device comprising a substrate, a semiconductor layer including a source region, a channel region and a drain region formed on the substrate, an insulating film formed on the semiconductor layer, and granular charge trapping bodies inside the insulating film to trap the charge of injected carriers.
2. The semiconductor device according to claim 1, wherein the substrate is an insulating substrate.
3. The semiconductor device according to Claim 1, wherein the charge trapping bodies are a plurality of particles of semiconductor or metal.
4. The semiconductor device according to Claim 3, wherein the plurality of particles are silicon particles.
5. The semiconductor device according to Claim 4, wherein the silicon particles have a particle diameter of 1 μm or less, 1000 angstroms or less, or 500 angstroms or less.
6. The semiconductor device according to Claim 3, wherein the insulating film comprises a first insulating film formed on the semiconductor layer and a second insulating film formed on the first insulating film; and wherein the plurality of particles are located between the first insulating film and the second insulating film.
7. The semiconductor device according to Claim 6, wherein the first insulating film is formed in an extremely thin thickness.
8. The semiconductor device according to Claim 7, wherein the first insulating film is formed so as to have a film thickness of 500 angstroms or less, 100 angstroms or less, or 50 angstroms or less.
9. The semiconductor device according to one of Claims 1 to 8, wherein a control gate for electrical field application is formed on the insulating film facing the channel region.
10. The semiconductor device according to one of Claims 1 to 9, wherein the substrate and the semiconductor layer constitute a thin-film transistor (TFT).
11. The thin-film semiconductor device according to Claim 10, wherein the semiconductor layer is formed in a low-temperature polysilicon process, and the thin-film transistor is formed as a low-temperature polysilicon TFT.

12. An electro-optical device comprising a display unit, a data driver, a scan driver and a memory unit having a plurality of memory elements, wherein the semiconductor device according to claim 1 is used as a memory element of the memory unit.

13. An electro-optical device comprising a display unit, a data driver, a scan driver and a memory unit having a plurality of memory elements, wherein the semiconductor device according to claim 1 is used as a memory element disposed in a pixel of the display unit.

14. The electro-optical device according to claim 12, wherein the display unit, the data driver, and the scan driver are disposed on a common substrate.

15. An electronic apparatus having an electro-optical device as claimed in any of claims 12 to 14.

16. A method of manufacturing a semiconductor device comprising a first step of forming a semiconductor layer which has a source region, a channel region and a drain region on a substrate; and a second step of forming an insulating body, which has granular charge trapping bodies inside to trap the charge of injected carriers, on the semiconductor layer.

17. The method of manufacturing a semiconductor device according to Claim 16, wherein the second step comprises the steps of: forming a first insulating film, constituting a portion of the insulating film, on the semiconductor layer; depositing the granular charge trapping bodies on the first insulating film; and forming a second insulating film, constituting a second portion of the insulating film, on the first insulating film while the charge trapping bodies are kept on the first insulating film.

18. The method of manufacturing a semiconductor device according to Claim 17, wherein the first insulating film is formed by plasma oxidation.

19. The method of manufacturing a semiconductor device according to Claim 17, wherein the charge trapping bodies are formed by sputtering and etching.

20. The method of manufacturing a semiconductor device according to Claim 19, wherein the charge trapping bodies are formed by Al-Si sputtering and etching.

21. The method of manufacturing a semiconductor device according to Claim 17, wherein the second insulating film is formed by the CVD method.

22. The method of manufacturing a semiconductor device according to Claim

17, wherein the first insulating film is formed by plasma oxidation, the charge trapping bodies are formed by sputtering and etching, and the second insulating film is formed by the CVD method.

23. The method of manufacturing a semiconductor device according to one of Claims 16 to 22, wherein the granular charge trapping bodies are silicon particles.

24. The method of manufacturing a semiconductor device according to one of Claims 16 to 23, wherein the first step is a step to form the semiconductor layer in a low-temperature polysilicon process, thus constructing the substrate and the semiconductor layer as a low-temperature polysilicon TFT (thin-film transistor).

3 Detailed Description of Invention

FIELD OF THE INVENTION

The present invention relates to a semiconductor device and the method of manufacture and, particularly, relates to a semiconductor device having memory functions.

PRIOR ART

As one type of nonvolatile memory, a floating gate nonvolatile memory is conventionally known. This memory demonstrates nonvolatile memory functions by injecting carriers to a floating gate and holding therein.

With this type of nonvolatile memory, the floating gate EEPROM at a p-channel having an MOS structure was first used for practical purposes. For this type of floating gate, polycrystalline silicon doped with a large quantity of impurities is used, and carriers are injected to floating gates (for writing or programming) by causing avalanche breakdown at drain junctions. This type of nonvolatile memory is called FAMOS (Floating-gate Avalanche-injection MOS). The information written in FAMOS can be erased by the irradiation of ultraviolet rays and X-rays at a sufficiently high energy level.

Nonvolatile memory, having a structure wherein a control gate made of polycrystalline silicon is laminated on the FAMOS floating gate, is called SAMOS (Stacked-gate Avalanche-injection MOS) memory. An appropriate level of voltage is applied to the control gate during the injection process of carriers for avalanche breakdown, so that an electric field near a drain is intensified and avalanche breakdown is likely to occur. At the same time, the electrons generated by the avalanche breakdown may be more effectively attracted to the side of a floating gate, thereby shortening the writing time. Additionally, the control gate may be used like the gate electrodes of normal MOS transistors during the process of information readout.

Devices having an SAMOS structure at an n-channel have been recently referred to as FAMOS, and have become the standard EEPROM structure. In this case, channel hot electrons are injected into a floating gate.

Furthermore, according to other research, MOS memory has been proposed

as in the thesis, "MOS Memory Using Germanium Nanocrystals Formed by Thermal Oxidation of $\text{Si}_{1-x}\text{Ge}_x$, Ya-Chin King et al., IEDM 98 115-118." This is a memory element in which a charge trapping bodies comprising germanium fine particles are buried in an MOSFET gate insulating body. On the other hand, since economical glass substrates, instead of expensive quartz substrates, may be used and preferable TFT characteristics may be easily obtained, the polysilicon TFT formed in the process of a relatively low temperature (about 600°C or below) has been focused upon.

However, although this TFT is used for the picture elements of displays and peripheral circuits, it is not a device that could be used as a memory element like the above-noted MOS memory. Therefore, a memory and a display cannot be mounted on one panel in one body in, for example, an active matrix display in which a TFT is used for a picture element unit. This is one of the obstacles to the further miniaturization and electricity reduction of liquid crystal display devices or the like.

DISCLOSURE OF THE INVENTION

It is an object of the present invention to provide memory functions to a semiconductor device and to broaden the application of semiconductor devices.

In order to achieve the above objective, a semiconductor device according to the present invention has a substrate, a semiconductor layer, in which each source, channel and drain region is formed on the substrate, and an insulating film is formed on the semiconductor layer, and granular electron trapping bodies are placed inside the insulating film to trap the electrons of injected carriers.

Preferably, the electron trapping bodies are a plurality of semiconductor or metal granules. For instance, the plurality of granules is made up of silicon particles. It is preferable that these silicon particles have a diameter of 1 μm or less, 1000 angstroms or less, or 500 angstroms or less.

Moreover, it is preferable that the insulating film comprise a first insulating film formed on the semiconductor layer and a second insulating film formed on the first insulating film, with the plurality of granules being placed between the first insulating film and the second insulating film. In this case, the first insulating

film is preferably formed at an extremely thin thickness. Preferably, the first insulating film is formed so as to have a film thickness of 500 angstroms or less, 100 angstroms or less, or 50 angstroms or less.

More preferably, in the above-mentioned structure, a control gate for electrical field application is formed on the insulating film so as to face the channel region.

It is further preferable that the transistor, formed of the substrate and the semiconductor layer mentioned above, be a thin-film transistor (TFT). For example, the semiconductor layer is formed in a low-temperature polysilicon process, and the thin-film transistor is formed as low-temperature polysilicon TFT.

On the other hand, the manufacture of a semiconductor device according to the present invention includes a first step of forming a semiconductor layer, which has each source, channel and drain region on a substrate; and a second step of forming an insulating body, which has granular charge trapping bodies inside, to trap the charge of injected carriers.

In this case, it is preferable that the second step also have the steps of forming a first insulating film, constituting a portion of the above-mentioned insulating film, on the semiconductor layer; placing the granular charge trapping bodies on the first insulating film; and forming a second insulating film, constituting the remaining portion of the insulating film mentioned above, on the first insulating film with the charge trapping bodies being kept on the first insulating film.

Preferably, the first insulating film is formed by plasma oxidation. Additionally, as another preferred example, charge trapping bodies are formed by sputtering and etching. In this case, it is preferable that Al-Si be sputtered and that only Al be etched thereafter. Moreover, according to another preferred example, the second insulating film is formed by the CVD method. Besides these methods, it is also possible to form the first insulating film by plasma oxidation, the charge trapping bodies by sputtering and etching, and the second insulating film by the CVD method.

Furthermore, the granular charge trapping bodies are, for instance, silicon particles.

Moreover, the first step is a step where the semiconductor layer is formed in a low-temperature polysilicon process. A low-temperature polysilicon TFT (thin-film transistor) may be formed in this step.

EMBODIMENTS

The preferred embodiment of the present invention is explained hereafter, with reference to the drawings.

The liquid crystal display device 1 according to the embodiment constitutes the electronic book shown in FIG. 1. This liquid crystal display device 1 has a book-form frame 1A and an opening and a closing cover 1B in the frame 1A. In frame 1A, a liquid crystal display unit 2 is arranged so as to expose a display surface at the surface, and a control unit 3 is also arranged.

As shown in FIG. 2, a panel 4 is arranged inside the frame 1A. On this panel, a picture element unit is provided as the above-described liquid crystal display unit 2, and a scan driver 5 and a data driver 6 are provided to control the display of the picture element unit for each picture element. Also provided is a controller 7 for controlling displays through both drivers 5 and 6, and a memory unit 8 where display information is stored in advance. The controller 7 and the memory unit 8 are conventionally mounted on a separate panel from that of the display unit 2 and the drivers 5 and 6, but the controller 7 and the memory unit 8 are mounted on one panel 4 in the embodiments. The display body having this structure is generally known as a System on Panel.

Such a device may be provided by the application of a polysilicon TFT (thin-film transistor). A low-temperature process for manufacturing the TFT is advantageous because a TFT can be formed on a low-thermal resistant substrate such as a glass substrate. Specifically, to each memory element of the memory unit 8, a memory element using the low-temperature polysilicon TFT of the present invention as a thin-film semiconductor device (mentioned as TFT memory hereinafter) is adopted, instead of a conventional floating gate MOS or the like. Further, the TFT memory elements may be used directly in the display unit 2.

This TFT memory is explained below.

FIG. 3 shows a cross section of one element of a TFT memory 11 as a thin-film semiconductor device; and FIG. 4 shows the positional relations of electrodes when the TFT memory 11 is seen from the top.

The TFT memory 11, as shown in FIG. 3, has a glass substrate 21, and a source 22a, wherein a channel layer 22b and a drain 22c made of a polysilicon layer 22 are formed on one part of the substrate 21. An extremely thin first gate oxide film 23 is formed over the entire polysilicon layer 22. The film thickness thereof is, for example, about 50 angstroms. As other thicknesses, the first gate oxide film 23 may be 50 angstroms or thinner, 100 angstroms or thinner, or 500 angstroms or thinner; and preferably, the film is formed to be extremely thin.

On the first gate oxide film 23, silicon particles 24 for charge storage are deposited. Regarding the silicon particles 24, for instance, the particle diameter is about 100 angstroms and the density per unit area is about 20%. These particles may be composed of other materials, such as semiconductor particles or metal particles. As for additional particle diameters, it is preferable to form the silicon particles 24 at a particle diameter of 1 μm or below, 1000 angstroms or below, or 500 angstroms or below.

A second gate oxide film 25 is formed while the silicon particles 24 are maintained on the first gate oxide film 23. The film thickness is about 1000 angstroms. A control gate 26 is formed on the second gate oxide film 25, at the location corresponding to the channel layer 22b. The electrode is made of polysilicon, or a metal such as aluminum or tantalum. Furthermore, a layer-to-layer insulating film 28 is formed over the entire element of the TFT memory 11. Additionally, as shown in FIG. 4, a source electrode 27S and a drain electrode 27D are formed through contact holes at appropriate locations from the source 22a and the drain 22c.

The method of manufacturing this TFT memory 11 is explained hereafter, based on FIGs. 5 (A) to 5 (D).

First, as shown in FIG. 5 (A), for example, a base film 21A made of SiO_2 is formed on the top of the glass substrate 21; an amorphous silicon film is accumulated thereon; and e.g., an excimer laser is used to irradiate the amorphous silicon film, and crystallizes the film by locally heating and melting the film, thereby forming a polysilicon layer 22 patterned in a predetermined shape.

Subsequently, as shown in FIG. 5 (B), a first gate oxide film 23 is formed by plasma oxidation. The conditions of plasma oxidation are established so as to provide an extremely thin first gate oxide film 23.

Then, aluminum-silicon (Al-Si) is sputtered, and the aluminum is removed by wet etching. As a result, as shown in FIG. 5 (C), a plurality of silicon (Si) particles 24 remains on the first gate oxide film 23. The silicon particles 24 may be left only above the channel layer 22b.

With the silicon particles 24, SiO_2 (silicon dioxide) is accumulated by the CVD method on the first gate oxide film 23, as shown in FIG. 5 (D), thereby forming a second gate oxide film 25. Accordingly, a second gate oxide film 25 is

coated with the silicon particles 23 dispersed in an appropriate density on the first gate oxide film, burying the silicon particles 24 in the insulating body.

Furthermore, though not shown in FIG. 5, a control gate 26 is formed by a conventional method (see FIG. 3). Subsequently, by the conventional method where ions are injected by using the control gate and a mask layer as masks, a source 22a and a drain 22c are formed in the polysilicon layer 22. Thus, the polysilicon layer 22 becomes the source 22a, the channel layer 22b and the drain 22c. Subsequently, a layer-to-layer insulating film 28 is formed over the entire TFT memory 11; and after the contact holes are formed, a source electrode 27S and a drain electrode 27D are formed (see FIG. 3).

In the manufactured TFT 11, the silicon particles 24 are completely covered with oxide films 23 and 25, so that the charge injected into these silicon particles 24 cannot easily escape, since the energy barrier between the silicon particles 24 and the oxide films 23 and 25 is substantial. In this state, information is written into the TFT memory 11.

When information is written into the TFT memory 11, an appropriate positive voltage is applied to the control gate 26, as shown in FIG. 7 (a), and electrons are injected into the silicon particles 24 from the channel side by "Fowler-Nordheim" tunneling. As the first gate oxide film 23 is formed of an extremely thin thickness, the injection of charge will be easy.

Therefore, the characteristics of the "control gate voltage V_g - drain current I_d " of the TFT 11 qualitatively change, as shown in FIG. 6, in response to information writing. In the state before the information is written, electrons are not yet injected, and the threshold voltage is low. As electrons are injected by information writing, its charge is trapped and the threshold voltage increases, holding the information (charge).

Additionally, when the information in the TFT memory 11 is erased, an appropriate positive voltage may be applied to the drain 22C, which is opposite to the writing process shown in FIG. 7 (b). However, in actually constructing a memory array, the transistors that form a switch for each memory cell are generally connected in series in order to provide selectivity.

As a memory element is formed by the application of the low-temperature polysilicon TFT, a System on Panel, such as that shown in FIG. 2 can be provided.

Accordingly, the structure and the scale of a device or a system as a whole becomes compact, and maintenance and the like becomes easy. Additionally, as TFT memory, use may be made of the memory of an IC card and the like, broadening the range of applications.

Moreover, the charge trapping bodies buried in the gate oxide film (gate insulating film) of the TFT memory 11 are in granular form, so that there is no danger of a short-circuit between a source and a drain.

Furthermore, as the TFT memory 11 is formed of a low-temperature polysilicon TFT, economical glass substrates may be used.

Additionally, the present invention is not limited to the above-noted embodiments and may also be modified in various forms.

The description given above relates to an apparatus using an LCD. It will be readily apparent, however, that other types of display may equally well be used for example, organic or inorganic electroluminescent displays, or electrophoretic displays.

The semiconductor device of the present invention may be used in display devices incorporated in many types of equipment such as mobile displays e.g. mobile phones, laptop personal computers, DVD players, cameras, field equipment; portable displays such as desktop computers, CCTV or photo albums; or industrial displays such as control room equipment displays.

Several electronic apparatuses using the semiconductor device of the present invention will now be described.

<1: Mobile Computer>

An example in which the semiconductor device according to one of the above embodiments is applied to a mobile personal computer will now be described.

Figure 8 is an isometric view illustrating the configuration of this personal computer. In the drawing, the personal computer 1100 is provided with a body 1104 including a keyboard 1102 and a display unit 1106. The display unit 1106 is implemented using a display panel incorporating semiconductor devices according to the present invention, as described above.

<2: Portable Phone>

Next, an example in which the semiconductor device is applied to a display section of a portable phone will be described. Fig. 9 is an isometric view illustrating the configuration of the portable phone. In the drawing,

the portable phone 1200 is provided with a plurality of operation keys 1202, an earpiece 1204, a mouthpiece 1206, and a display panel 100. This display panel 100 is implemented using semiconductor devices fabricated according to the present invention, as described above.

<3: Digital Still Camera>

Next, a digital still camera using an OELD display device as a finder will be described. Fig. 10 is an isometric view illustrating the configuration of the digital still camera and the connection to external devices in brief.

Typical cameras sensitize films based on optical images from objects, whereas the digital still camera 1300 generates imaging signals from the optical image of an object by photoelectric conversion using, for example, a charge coupled device (CCD). The digital still camera 1300 is provided with an OELD 100 at the back face of a case 1302 to perform display based on the imaging signals from the CCD. Thus, the display panel 100 functions as a finder for displaying the object. A photo acceptance unit 1304 including optical lenses and the CCD is provided at the front side (behind in the drawing) of the case 1302.

When a cameraman determines the object image displayed in the OELD panel 100 and releases the shutter, the image signals from the CCD are transmitted and stored to memories in a circuit board 1308. In the digital still camera 1300, video signal output terminals 1312 and input/output terminals 1314 for data communication are provided on a side of the case 1302. As shown in the drawing, a television monitor 1430 and a personal computer 1440 are connected to the video signal terminals 1312 and the input/output terminals 1314, respectively, if necessary. The imaging signals stored in the memories of the circuit board 1308 are output to the television monitor 1430 and the personal computer 1440, by a given operation.

Examples of electronic apparatuses, other than the personal computer shown in Fig. 8, the portable phone shown in Fig. 9, and the digital still camera shown in Fig. 10, include OELD television sets, view-finder-type and monitoring-type video tape recorders, car navigation systems, pagers, electronic notebooks, portable calculators, word processors, workstations, TV telephones, point-of-sales system (POS) terminals, and devices provided with touch panels. Of course, semiconductor devices according to the present invention can be applied to the display sections of these electronic apparatuses.

As explained above, the present invention has a semiconductor layer, which has each source, channel and drain region formed on a substrate, an insulating film formed on the semiconductor layer, and granular charge trapping bodies (for instance, a plurality of semiconductor or metal particles) inside the insulating

film to trap the charge of injected carriers, so that TFT memory may be provided by adding memory functions with granular charge trapping bodies to a thin-film transistor (TFT) element comprising a substrate and a conductive layer.

As a result, the applications of TFT elements are broadened to memory elements. Conventionally, TFT elements are only applied to the picture elements of displays and the peripheral circuits. As the TFT memory is used as a memory unit, the unit may be mounted on the same panel as that of other thin-film structural bodies using TFTs (for instance, a liquid crystal display and the driver circuit thereof), thus significantly miniaturizing, compacting or making an energy-saving device and system.

4 Brief Description of Drawing(s)

BRIEF DESCRIPTION OF THE DRAWINGS

The present invention will now be described by way of further example only and with reference to the accompanying drawings in which:-

FIG. 1 shows an example of an electronic book using a liquid crystal display device with a built-in thin-film semiconductor device having memory functions in accordance with the present invention;

FIG. 2 shows the electric block structure of the liquid crystal display device;

FIG. 3 is a partial cross-sectional view, showing the thin-film structure of a TFT memory as a semiconductor thin-film device;

FIG. 4 is a plane view of the TFT memory in FIG. 3;

FIG. 5 shows the steps of manufacturing the TFT memory;

FIG. 6 is a figure, showing qualitative changes in the characteristics of the control gate voltage V_g and the drain current I_d of the TFT memory in respect to information writing;

Fig. 7(a) illustrates the application of a positive voltage to the control gate so as to write information and Fig. 7(b) illustrates the application of a positive voltage to the drain so as to erase information;

Fig. 8 is a schematic view of a mobile personal computer incorporating a display device having a pixel driver according to the present invention;

Fig. 9 is a schematic view of a mobile telephone incorporating a display device having a pixel driver according to the present invention, and

Fig. 10 is a schematic view of a digital camera incorporating a display device having a pixel driver according to the present invention.

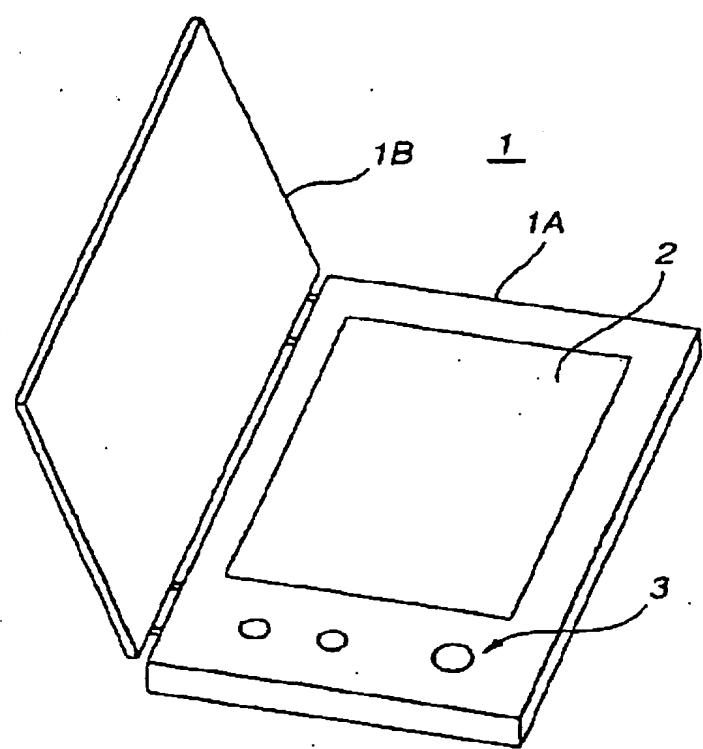
FIG.1

FIG.2

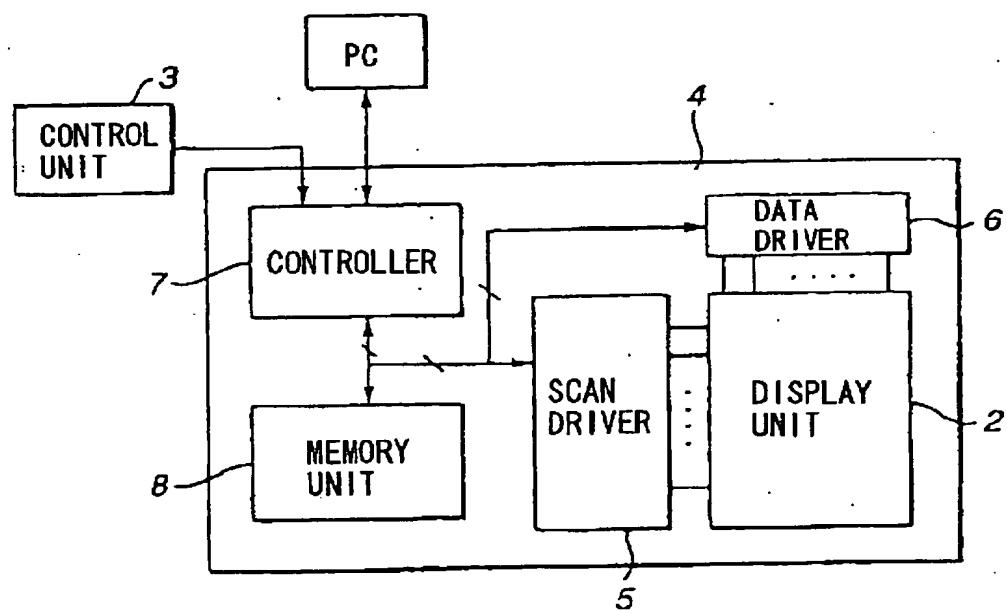


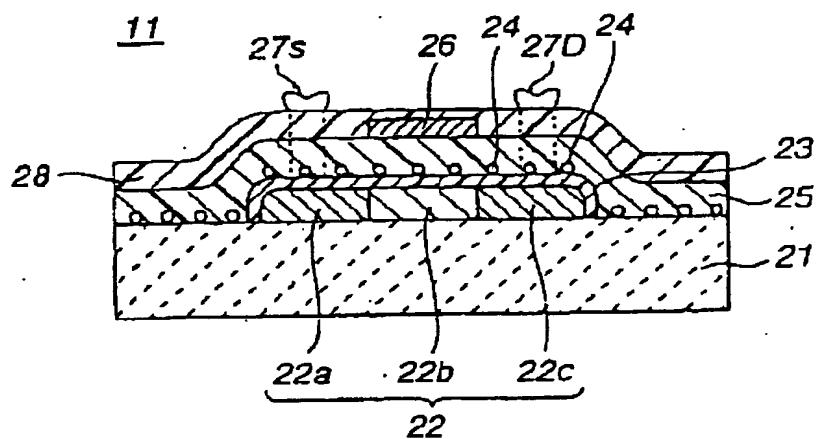
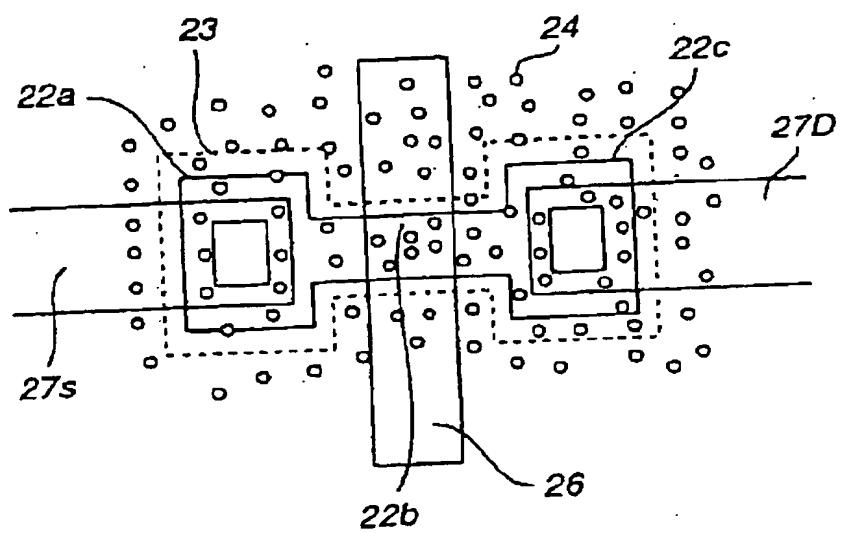
FIG.3**FIG.4**

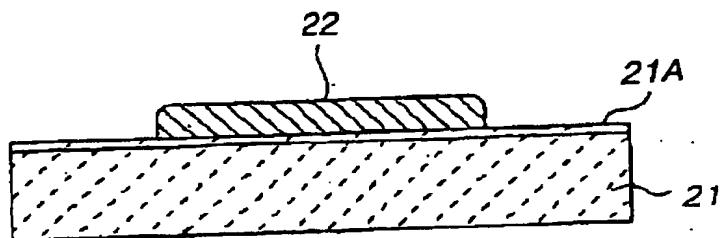
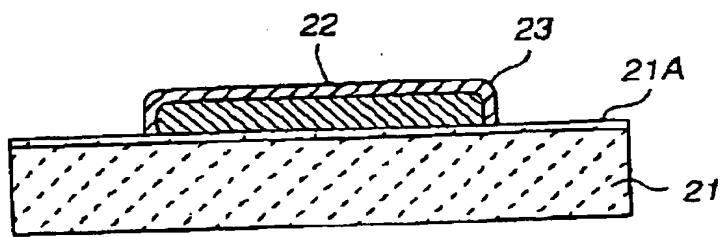
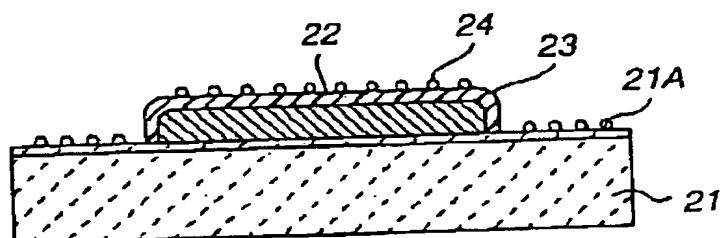
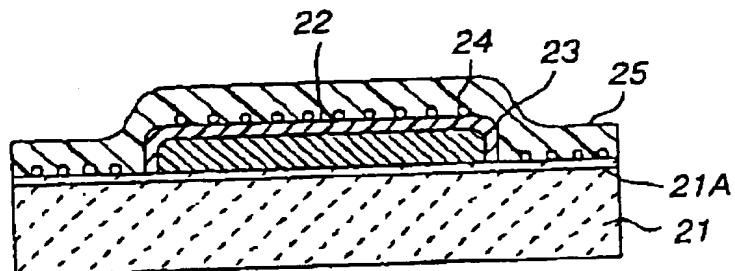
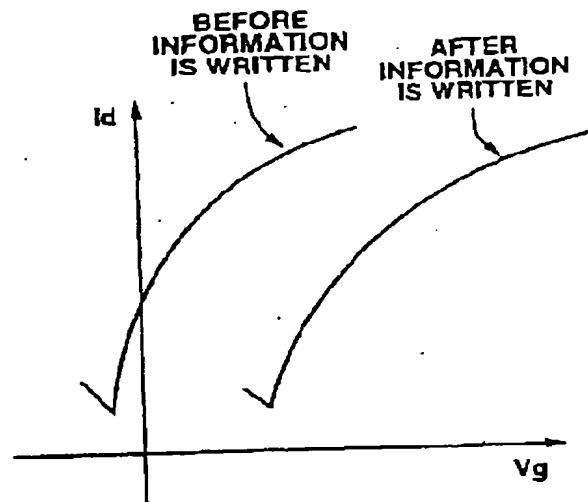
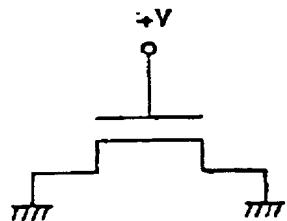
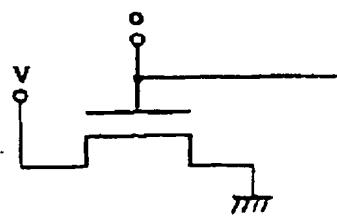
FIG.5A**FIG.5B****FIG.5C****FIG.5D**

FIG.6**FIG.7A****FIG.7B**

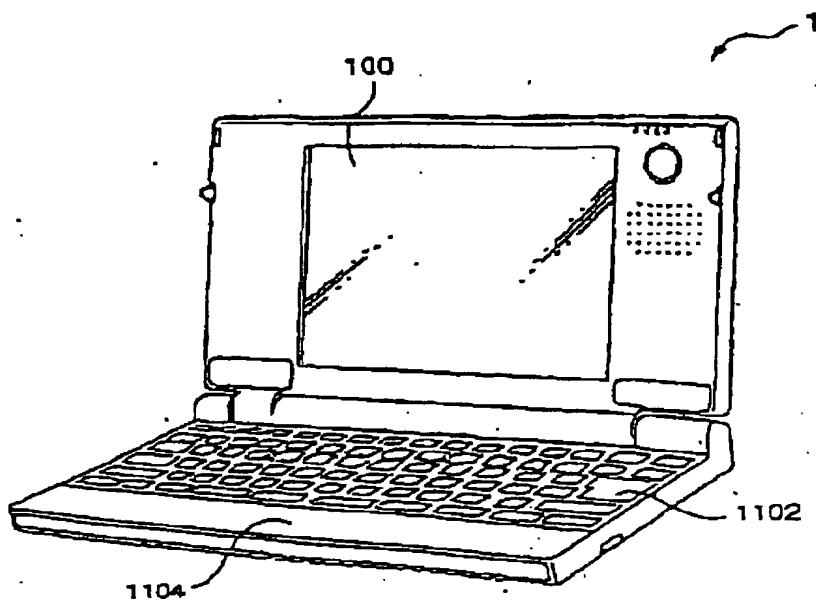


Figure 8

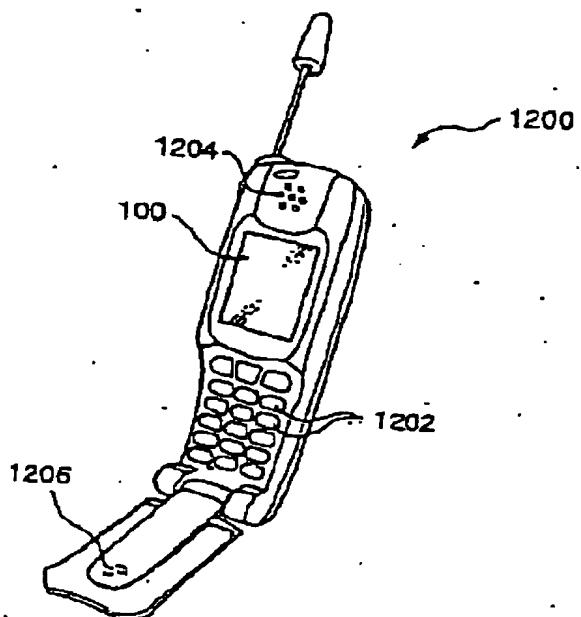
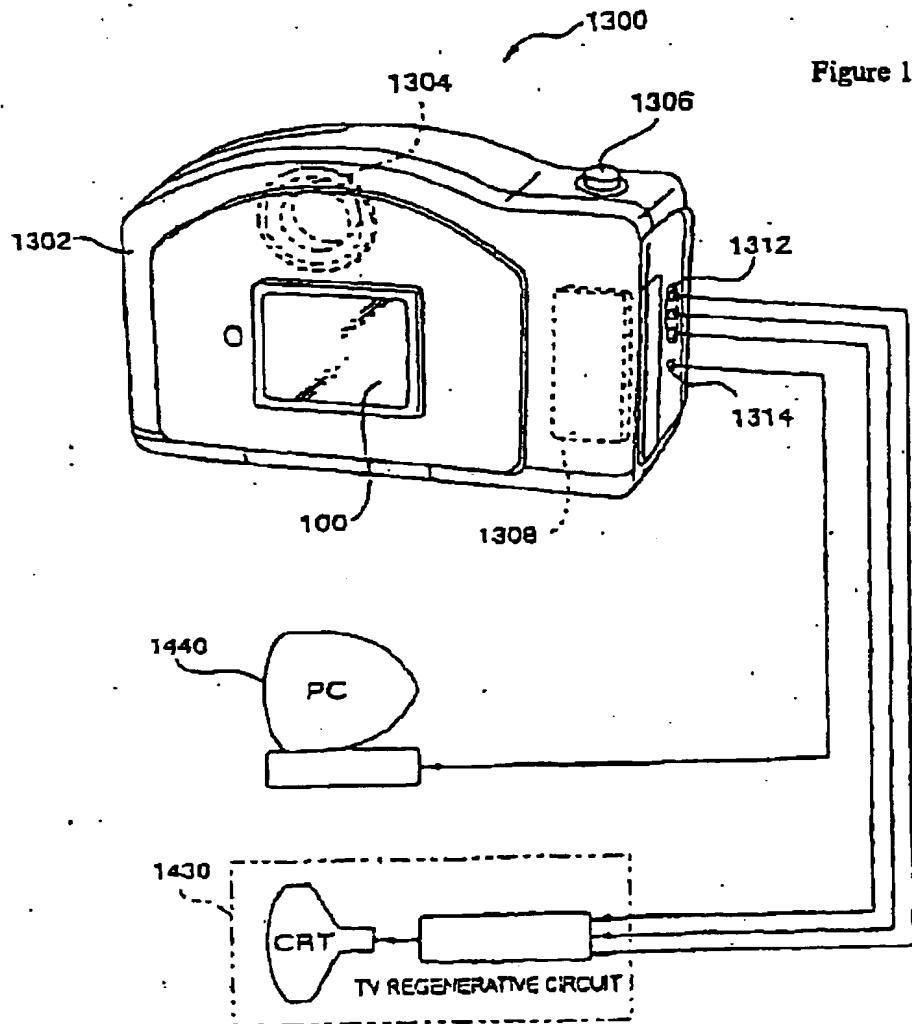


Figure 9



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-110829
(P2002-110829A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl. ⁷	識別記号	F I	マークコード(参考)
H 01 L 21/8247		H 01 L 29/78	3 7 1 5 F 0 8 3
27/115			6 1 3 B 5 F 1 0 1
29/786		27/10	4 3 4 5 F 1 1 0
29/788			
29/792			

審査請求 未請求 請求項の数24 OL 外国語出願 (全 29 頁)

(21) 出願番号	特願2001-211113(P2001-211113)
(22) 出願日	平成13年7月11日 (2001.7.11)
(31) 優先権主張番号	0017158.7
(32) 優先日	平成12年7月11日 (2000.7.11)
(33) 優先権主張国	イギリス (GB)

(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(72) 発明者	井上 聰 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
(72) 発明者	ピエロ・ミグリオラート イギリス・CB2・1SJ・ケンブリッジ・キングス・パレード・8c・エプソン ケンブリッジ研究所内
(74) 代理人	100089037 弁理士 渡邊 隆 (外2名)

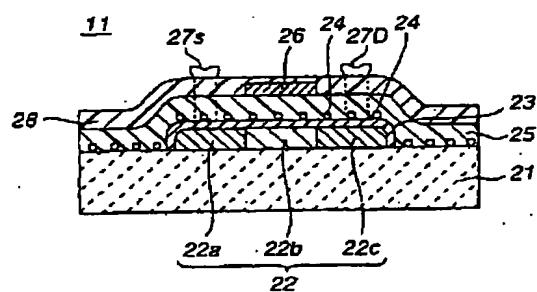
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 記憶機能が付与され、例えば、携帯電話、ラップトップパソコン、DVDプレーヤー等の電子装置に応用が可能な半導体装置を提供することである。

【解決手段】 TTFメモリ11は、基板21上に形成したソース22a、チャンネル22b、及びドレイン22cの各領域を有するポリシリコン層22と、このポリシリコン層22上に形成したゲート酸化膜(絶縁膜)23、25とを備え、このゲート酸化膜23、25内に、注入されたキャリアの電荷を捕獲する粒状の複数のシリコン粒子24を内在させる。具体的には、ゲート酸化膜は、第1ゲート酸化膜23と、この第1ゲート酸化膜上23に形成された第2ゲート酸化膜25とから成る。複数のシリコン粒子24は、第1ゲート酸化膜23と第2ゲート酸化膜25との間に挟んで内在させる。第1ゲート酸化膜23は極薄の厚さに形成される。



【特許請求の範囲】

【請求項1】 基板と、基板上に形成されたソース、チャネル、ドレインの各領域を有する半導体層と、半導体層上に形成された絶縁膜と、この絶縁膜内に内在させ且つ注入されたキャリアの電荷を捕獲する粒状の電荷捕獲体とを備えた半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記基板は、絶縁基板であることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記電荷捕獲体は、半導体又は金属から成る複数の粒子であることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記複数の粒子は夫々、シリコン粒子であることを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、前記シリコン粒子の粒径は、 $1\mu\text{m}$ 以下、 1000\AA 以下、又は 500\AA 以下の値をとるように形成されていることを特徴とする半導体装置。

【請求項6】 請求項3記載の半導体装置において、前記絶縁膜は、前記半導体層上に形成された第1の絶縁膜と、この第1の絶縁膜上に形成された第2の絶縁膜とから成り、前記複数の粒子を前記第1の絶縁膜と前記第2の絶縁膜との間に挟んで内在させたことを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、前記第1の絶縁膜は極薄の厚さに形成されたことを特徴とする半導体装置。

【請求項8】 請求項7記載の半導体装置において、前記第1の絶縁膜の膜厚は、 500\AA 以下、 100\AA 以下、又は 50\AA 以下の値をとるように形成されたことを特徴とする半導体装置。

【請求項9】 請求項1乃至8のいずれか一項に記載の半導体装置において、前記絶縁膜上の前記チャネル領域に対向する位置に、電界印加用の制御ゲートが形成されたことを特徴とする半導体装置。

【請求項10】 請求項1乃至9のいずれか一項に記載の半導体装置において、前記基板及び前記半導体層は薄膜トランジスタ(TFT)を成すことを特徴とする半導体装置。

【請求項11】 請求項10記載の半導体装置において、前記半導体層を低温ポリシリコンプロセスで形成し、前記薄膜トランジスタを低温ポリシリコンTFTとして構成されたことを特徴とする半導体装置。

【請求項12】 表示部とデータドライバとスキャンドライバと複数のメモリ要素を有するメモリ手段とを備えた電子光学装置において、

請求項1記載の半導体装置をメモリ手段のメモリ要素と

して用いたことを特徴とする電子光学装置。

【請求項13】 表示部とデータドライバとスキャンドライバと複数のメモリ要素を有するメモリ手段とを備えた電子光学装置において、

請求項1記載の半導体装置が表示部の画素に配置されメモリ要素として用いられたことを特徴とする電子光学装置。

【請求項14】 請求項12記載の電子光学装置において、

10 表示部とデータドライバとスキャンドライバとが共通の基板上に配置されたことを特徴とする電子光学装置。

【請求項15】 請求項12乃至14のいずれか一項に記載の電子光学装置を有する電子装置。

【請求項16】 基板上にソース、チャネル、及びドレインの各領域を有する半導体層を形成する第1工程と、この半導体層上に、注入されたキャリアの電荷を捕獲する粒状の電荷捕獲体を内在させた絶縁体を形成する第2工程とを含むことを特徴とする半導体装置の製造方法。

20 【請求項17】 請求項16記載の半導体装置の製造方法において、前記第2工程は、前記半導体層上に前記絶縁膜の第1の部分を成す第1の絶縁膜を形成する工程と、この第1の絶縁膜上に前記粒状の電荷捕獲体を置く工程と、この電荷捕獲体を前記第1の絶縁膜上に置いた状態で当該第1の絶縁膜上に前記絶縁膜の第2の部分を成す第2の絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項18】 請求項17記載の半導体装置の製造方法において、前記第1の絶縁膜はプラズマ酸化で形成されたことを特徴とする半導体装置の製造方法。

30 【請求項19】 請求項17記載の半導体装置の製造方法において、前記電荷捕獲体はスペッタリング及びエッチングで形成されたことを特徴とする半導体装置の製造方法。

【請求項20】 請求項19記載の半導体装置の製造方法において、前記電荷捕獲体はA1-Siのスペッタリング及びエッチングで形成されたことを特徴とする半導体装置の製造方法。

40 【請求項21】 請求項17記載の半導体装置の製造方法において、前記第2の絶縁膜はCVD法で形成されたことを特徴とする半導体装置の製造方法。

【請求項22】 請求項17記載の半導体装置の製造方法において、前記第1の絶縁膜はプラズマ酸化で形成され、前記電荷捕獲体はスペッタリング及びエッチングで形成され、及び前記第2の絶縁膜はCVD法で形成されたことを特徴

とする半導体装置の製造方法。

【請求項23】請求項16乃至22のいずれか一項に記載の半導体装置の製造方法において、前記粒状の電荷捕獲体はシリコン粒子であることを特徴とする半導体装置の製造方法。

【請求項24】請求項16乃至23のいずれか一項に記載の半導体装置の製造方法において、前記第1工程は、前記半導体層を低温ポリシリコンプロセスで形成する工程であり、これにより、前記基板及び前記半導体層は低温ポリシリコンTFT（薄膜トランジスタ）として構成されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に係り、特に、メモリ機能を持たせた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来、不揮発性メモリの一つとして、フローティングゲート不揮発性メモリが知られている。このメモリは、フローティングゲート中にキャリアを注入し、保持させることで不揮発性メモリ機能を発揮するものである。

【0003】この種の不揮発性メモリでは、MOS構造を有する、pチャンネルのフローティングゲート型EPROMが最初に実用化された。このフローティングゲートとしては不純物を多量にドープした多結晶シリコンが用いられ、書き込み又はプログラムのためのフローティングゲートへのキャリア注入はドレイン接合でアバランシェ崩壊を起こさせることで行っていた。このタイプの不揮発性メモリはFAMOS（Floating-gate Avalanche-injection MOS）メモリと呼ばれている。このFAMOSに書き込まれた情報は、十分高いエネルギーを有する紫外線やX線を照射することで消去できる。

【0004】このFAMOSのフローティングゲートの上に、多結晶シリコンから成る制御ゲートを積層させた構造を有する不揮発性メモリはSAMOS（Stacked-gate Avalanche-injection MOS）メモリと呼ばれている。アバランシェ崩壊に拠るキャリア注入時に、この制御ゲートに適宜な電圧を印加することによって、ドレイン近傍の電界を強め、アバランシェ崩壊を起こしやすくとともに、アバランシェ崩壊によって発生した電子をより効率良くフローティングゲート側に引き寄せることができ、これにより、書き込み時間を短縮させている。また、この制御ゲートは情報読み出し時には、通常のMOSトランジスタのゲート電極と同様に使用することもできる。

【0005】さらに近年では、nチャンネルでSAMOSの構造を有する装置はFAMOSと呼ばれ、EPROMの標準構造になっている。この場合、フローティングゲートにはチャンネルホットエレクトロンが注入され

る。

【0006】さらに別の研究によれば、論文「“MOS Memory Using Germanium Nanocrystals Formed by Thermal Oxidation of Si_{1-x}Ge_x”, Ya-Chin King et al., IEDM98 115-118」に見られる如く、MOS型メモリが提案されている。これは、MOSFETのゲート絶縁体中に、ゲルマニウムの微粒から成る電荷捕獲体を埋め込んだメモリ素子である。一方、比較的低温（約600°C以下）のプロセスで形成されるポリシリコンTFTが、高価な石英基板に代えて、安価なガラス基板を用いることができる上に、良好なTFT特性を容易に得ることができるとして、注目を集めている。

【0007】しかしながら、このTFTは表示体の画素や周辺回路に使用されてはいるが、前述したMOS型メモリのように、メモリ素子として使用できる装置ではない。このため、たとえばTFTを画素部に用いたアクティブマトリクス型の表示体において、メモリと表示体とを1枚パネル上に一体化して搭載することができない。このため、液晶表示装置などにおける将来の更なる小型化及び低消費電力化に対する障害の1つとなっている。

【0008】

【発明が解決しようとする課題】本発明は、半導体装置にメモリ機能を持たせ、半導体装置の使用範囲を広げることを、その目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明に係る半導体装置によれば、基板と、基板上に形成したソース、チャンネル、及びドレインの各領域を有する半導体層と、この半導体層上に形成した絶縁膜と、この絶縁膜内に内在させ、且つ注入されたキャリアの電荷を捕獲する粒状の電荷捕獲体とを備えたことを特徴とする。

【0010】好適には、前記電荷捕獲体は、半導体又は金属から成る複数の粒子である。例えば、前記複数の粒子は夫々、シリコン粒子である。好適には、このシリコン粒子の粒径は、1μm以下、1000Å以下、又は500Å以下の値をとるように形成されている。

【0011】また、好適には、前記絶縁膜は、前記半導体層上に形成された第1の絶縁膜と、この第1の絶縁膜上に形成された第2の絶縁膜とから成り、前記複数の粒子を前記第1の絶縁膜と前記第2の絶縁膜との間に挟んで内在させる。この場合、前記第1の絶縁膜は好適には極薄の厚さに形成される。好適には、この第1の絶縁膜の膜厚は、500Å以下、100Å以下、又は50Å以下の値をとるように形成されている。

【0012】さらに好適には、上述した構成において、前記絶縁膜上の前記チャンネル領域に対向する位置に、電界印加用の制御ゲートを形成することである。

【0013】さらに、前記基板及び前記半導体層から形成されるトランジスタは薄膜トランジスタ（TFT）で

あることが望ましい。例えば、前記半導体層は低温ポリシリコンプロセスで形成され、前記薄膜トランジスタは低温ポリシリコンTFTとして構成される。

【0014】一方、本発明に係る半導体装置の製造方法によれば、基板上にソース、チャンネル、及びドレインの各領域を有する半導体層を形成する第1工程と、この半導体層上に、注入されたキャリアの電荷を捕獲する粒状の電荷捕獲体を内在させた絶縁体を形成する第2工程とを含むことを特徴とする。

【0015】この場合、好適には、前記第2工程は、前記半導体層上に前記絶縁膜の一部を成す第1の絶縁膜を形成する工程と、この第1の絶縁膜上に前記粒状の電荷捕獲体を置く工程と、この電荷捕獲体を前記第1の絶縁膜上に置いた状態で当該第1の絶縁膜上に前記絶縁膜の残り部分を成す第2の絶縁膜を形成する工程とをさらに含む。

【0016】好適には、第1の絶縁膜はプラズマ酸化で形成される。また、別の好適な例では、電荷捕獲体はスパッタリング及びエッチングで形成される。この場合、Al-Siをスパッタリングし、その後、Alのみエッチングして形成するのが好適である。さらに、別の好適な例によれば、第2の絶縁膜はCVD法で形成される。さらに、これらの形成法に代えて、前記第1の絶縁膜はプラズマ酸化で形成され、前記電荷捕獲体はスパッタリング及びエッチングで形成され、及び前記第2の絶縁膜はCVD法で形成されるように構成してもよい。

【0017】さらに、例えば、前記粒状の電荷捕獲体はシリコン粒子である。

【0018】また、前記第1工程は、前記半導体層は、低温ポリシリコンプロセスで形成される工程であり、これにより、低温ポリシリコンTFT（薄膜トランジスタ）が形成されるようにしてもよい。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を添付図面に基づき説明する。

【0020】本実施形態に係る液晶表示装置1は、図1に示す如く、例えば電子ブックを成している。この液晶表示装置1は、ブック形状のフレーム1Aと、このフレーム1Aに開閉可能なカバー1Bとを有する。フレーム1Aには、その表面に表示面を露出させた状態で液晶表示部2が設けられ、さらに、操作部3が設けられている。

【0021】フレーム1Aの内部には、図2に示す如く、1枚のパネル4が設けられており、このパネル上に、前述した液晶表示部2としての画素部、及び、この画素部の表示を画素毎に制御するスキャンドライバ5、データドライバ6を備えるとともに、両ドライバ5、6を介して表示制御を行うコントローラ7、及び、表示情報を予め記憶させてあるメモリ8を備えている。従来の場合、コントローラ7及びメモリ8は表示部2及びド

イバ5、6とは別パネルに実装するが、本実施形態ではコントローラ7及びメモリ8を1つのパネル4上に実装している。このような構成の表示体を一般に、システムオンパネル（System on Panel）と呼ぶことがある。

【0022】このような装置は、低温ポリシリコンTFT（薄膜トランジスタ）を用いることで実現可能になる。TFTの製造に対しては低温プロセスが好都合である。つまり、メモリ8の各メモリ素子には、従来のフローティングゲート型MOS等に代えて、本発明の低温ポリシリコンTFTを用いた薄膜半導体装置としてのメモリ素子（以下、TFTメモリと呼ぶ）を採用する。また、表示部2にTFTメモリ要素を直接用いてもよい。

【0023】以下、このTFTメモリについて説明する。

【0024】図3には、薄膜半導体装置としてのTFTメモリ11の1素子分の断面構造を示し、図4には、このTFTメモリ11を、上方から見たときの電極の位置関係を示す。

【0025】このTFTメモリ11は、図3に示す如く、ガラス製の基板21を備え、この基板21上の一部にポリシリコン層22によるソース22a、チャンネル層22b、及びドレイン22cが形成されている。このポリシリコン層22の全面にわたって膜厚が非常に薄い第1ゲート酸化膜23が形成されている。この膜厚は例えば50Å程度である。この第1ゲート酸化膜23の膜厚は、その他の値としては、50Å以下、100Å以下、又は500Å以下であってもよく、極力薄く形成することが望ましい。

【0026】この第1のゲート酸化膜23の上には、電荷蓄積用のシリコン粒子24が置かれている。このシリコン粒子24については、例えば、その粒径は100Å程度、単位面積当たりの配置密度は20%程度である。この粒子はその他の半導体粒子又は金属粒子であってもよい。このシリコン粒子24の粒径は、上述の他の値としては、1μm以下、1000Å以下、又は500Å以下に形成することが望ましい。

【0027】第1ゲート酸化膜23には、シリコン粒子24を載せたままで、その上から第2ゲート酸化膜25が形成されている。この膜厚は1000Å程度である。この第2のゲート酸化膜25上には、チャンネル層22bに対応する位置に、制御ゲート26が形成される。電極材料はポリシリコン、或いは、アルミニウムやタンタルのような金属である。さらに、このTFTメモリ11の素子全体には層間絶縁膜28が形成される。なお、図4に示す如く、ソース22a及びドレイン22cから適宜な位置でコンタクトホールを介してソース電極27S及びドレイン電極27Dが形成されている。

【0028】以下、TFTメモリ11の製造方法を図5(A)から図5(d)に基づき説明する。

【0029】まず、図5(A)に示す如く、ガラス製の

基板21の上面に例えればSiO₂から成る下地膜21Aを形成し、その上に非晶質シリコン膜を堆積形成し、その非晶質シリコン膜に例えればエキシマレーザを照射して局所的に加熱溶融させることで結晶化させ、所定形状にバターニングしたポリシリコン層22を形成する。

【0030】次いで、図5(B)に示す如く、プラズマ酸化により第1ゲート酸化膜23を形成する。この第1ゲート酸化膜23は極薄の膜厚になるようにプラズマ酸化の条件が設定されている。

【0031】次いで、アルミニウムシリコン(AI-Si)をスパッタリングし、その後、アルミニウムをウェットエッチングで除去する。これにより、図5(C)に示す如く、第1のゲート酸化膜23上に多数のシリコン(Si)の粒子24が残る。なお、シリコン粒子24は、チャンネル層22b上に位置する領域に限定して残してもよい。

【0032】このシリコン粒子24を残した状態で、図5(D)に示す如く、第1のゲート酸化膜23上にSiO₂(二酸化シリコン)をCVD法により堆積させ、第2ゲート酸化膜25を形成する。これにより、シリコン粒子23を第1ゲート酸化膜23上に適度な密度で分散配置したまま第2ゲート酸化膜25が被せられ、シリコン粒子24が絶縁体内に埋設される。

【0033】さらに、図5には図示しないが、従来周知の手法で制御ゲート26が形成される(図3参照)。次いで、制御ゲート及びマスク層をマスクとして用いてイオン注入する従来周知の手法により、ポリシリコン層22にソース22a及びドレイン22cが形成される。これにより、ポリシリコン層22は、ソース22a、チャンネル層22b、及びドレイン22cになる。次いで、このTFTメモリ11全体に層間絶縁膜28を形成し、コンタクトホール形成後、ソース電極27S及びドレン電極27Dが形成される(図3参照)。

【0034】このようにして製造されたTFT11にあっては、シリコン粒子24は酸化膜23、25で完全に覆われているため、このシリコン粒子24に注入された電荷はシリコン粒子24と酸化膜23、25のエネルギー障壁が相当に大きいので容易には抜け出せない。これはTFTメモリ11に情報が書き込まれた状態である。

【0035】TFTメモリ11に情報を書き込むときには、図7(a)に示す如く、制御ゲート26に適宜な正電圧を印加し、チャンネル側からシリコン粒子24に”Fowler-Nordheim”トンネリングにより電子を注入する。このとき、第1ゲート酸化膜23の膜厚を非常に薄く生成しているので、かかる電荷注入が容易になる。

【0036】したがって、このTFT11の「制御ゲート電圧Vg-ドレン電流Id」の特性は、情報書き込みに応じて、定性的には図6のようになる。情報書き込み前の状態では、電子が注入されておらず、しきい値電圧が低い状態である。情報書き込みにより電子が注入され

ると、その電荷を捕獲してしきい値電圧が高くなり、その情報(電荷)が保持される。

【0037】また、TFTメモリ11の情報を消去するときには、図7(b)に示す如く、書き込み時とは反対に、ドレイン22cに適宜な正電圧を印加すればよい。ただし、実際にメモリアレイを構成する場合には、たとえば各メモリセル毎にスイッチとなるトランジスタを直列に接続し、選択性を持たせるのが一般的である。

【0038】このように、低温ポリシリコンTFTを使ってメモリ素子を構成した場合、図2に示したような、システムオンパネルの実現が可能になる。これにより、装置又はシステム全体の構成や規模がコンパクトになり、保守等も容易になる。また、このTFTメモリをICカードのメモリとして使用することもできる等、その応用範囲は多岐にわたる。

【0039】また、本願のTFTメモリ11のゲート酸化膜(ゲート絶縁膜)に埋め込む電荷捕獲体は粒子状であるので、ソース・ドレイン間をショートする恐れも無い。

【0040】さらに、本願のTFTメモリ11は、低温ポリシリコンTFTで構成するので、安価なガラス基板を用いることができる。

【0041】なお、本発明は上述した実施形態記載のものに限定されることなく、さらに、種々の形態に変更することができる。

【0042】上述の記載はLCDを用いた装置に関するものであったが、例えば、有機あるいは無機エレクトロルミネセンス表示装置や電気泳動表示装置のような他のタイプの表示装置を使用してもよいことは明らかであろう。

【0043】本発明の半導体装置を、例えば、携帯電話、ラップトップパソコン、DVDプレーヤー、カメラ、野外装備のようなモバイル表示装置；デスクトップコンピュータ、CCTV又はフォトアルバムのような小型表示装置；又は、制御室装備表示装置のような多くのタイプの装置に組み込まれる表示装置において使用してもよい。

【0044】以下に、本発明の半導体装置を用いた電子装置をいくつか示す。

【0045】<1：携帯コンピュータ>上述の実施形態のうちの一つの半導体装置を携帯パソコンに適用した例を示す。図8は、このパソコンの構成を示す全体構成図である。図で示した場合、パソコン1100は、キーボード1102と表示部1106を含む本体1104とを備える。表示部1106は、上述のように、本発明による半導体装置を組み込んだ表示パネルを用いて実現される。

【0046】<2：携帯電話>次に、半導体装置を携帯電話の表示部に適用した例を示す。図9は、携帯電話の構成を示す全体構成図である。図では、携帯電話120

0は、複数の走査キー1202と、耳当て1202と、送話口1206と、表示パネル100とを備えている。この表示部100は、本発明による半導体装置を用いて実現される。

【0047】<3：デジタルスチールカメラ>次に、ファインダーとしてOELD表示装置を用いたデジタルスチールカメラを説明する。図10は、デジタルスチールカメラ及び外部接続装置の構成を示す全体構成図である。

【0048】通常のカメラは物体からの光学イメージをもとに膜を感光するが、デジタルスチールカメラ1300は、例えば、電荷結合素子(CCD)を用いて光電子変換によって物体の光学イメージからのイメージ信号を生成する。デジタルスチールカメラ1300は、CCDからのイメージ信号をもとに表示するために、ケース1302の裏面にOELD100を備える。そのため、表示パネル100は物体を表示するためのファインダーとして機能する。光学レンズ及びCCDを含む光受容ユニット1304は、ケース1302の前側(図の背後)に備える。

【0049】カメラマンがOELDパネル100に表示される物体イメージを決定すると、CCDからのイメージ信号は回路ボード1308のメモリに伝送され格納される。デジタルスチールカメラ1300には、データ通信用のビデオ信号出力ターミナル1312と入力/出力ターミナル1314とがケース1302の側面に備えられている。図で示したように、必要ならば、テレビモニター1430とパソコン1440とを、ビデオ信号出力ターミナル1312及び入力/出力ターミナル1314のそれぞれに接続する。回路ボード1308のメモリに格納されたイメージ信号は、所定の操作によって、テレビモニター1430及びパソコン1440に出力される。

【0050】図8で示したようなパソコン、図9で示した携帯電話及び図10で示したデジタルスチールカメラ以外の電子装置の例として、OELDテレビセット、ビューファインダー型及びモニター型ビデオテープレコーダー、カーナビゲーションシステム、ポケベル、電子ノートブック、携帯計算機、ワードプロセッサ、ワークステーション、販売時点情報管理システム(POS)ターミナル、タッチパネルを備えた装置が挙げられる。もちろん、本発明による半導体装置はこれらの電子装置の表示部にも適用可能である。

【0051】以上説明したように本発明によれば、基板上に形成したソース、チャンネル、及びドレインの各領域を有する半導体層と、この半導体層上に形成した絶縁膜と、この絶縁膜内に内在させ且つ注入されたキャリア

の電荷を捕獲する粒状の電荷捕獲体(例えば半導体又は金属からなる複数の粒子)とを備えたので、基板及び半導体層から成る薄膜トランジスタ(TFT)素子に、粒状の電荷捕獲体に拠るメモリ機能を持たせて成るTFTメモリを提供することができる。

【0052】これにより、TFT素子の使用範囲がメモリ素子まで広がる。したがって、TFT素子は、従来では、表示体の画素やその周辺回路のみに使用されているだけである。このTFTメモリをメモリ手段として用いると、TFTを用いて他の薄膜構造体(例えば液晶表示体やそのドライバ回路)と同一のパネル上にこのメモリ手段を実装でき、装置やシステムの小型化及びコンパクト化或いは低消費電力化に著しく寄与することとなる。

【図面の簡単な説明】

【図1】 本発明によりメモリ機能を持たせた薄膜半導体装置を内蔵した液晶表示装置を用いて構成した電子ブックの一例を示す図である。

【図2】 液晶表示装置の電気的ブロック構成を示す図である。

【図3】 半導体薄膜装置としてのTFTメモリの薄膜構造を示す部分的な断面図である。

【図4】 図3に示すTFTメモリの平面図である。

【図5】 TFTメモリの製造段階を示す図である。

【図6】 TFTメモリの制御ゲート電圧Vgとドレン電流Idの情報書き込みに対する特性変化を定性的に示す図である。

【図7】 (A) 情報を書き込むために制御ゲートへ正の電圧を印加することを示す図である。(B) 情報を消去するためにドレンに負の電圧を印加することを示す図である。

【図8】 本発明による画素ドライバーを有する表示装置を組み込んだ携帯パソコンの概略図である。

【図9】 本発明による画素ドライバーを有する表示装置を組み込んだ携帯電話の概略図である。

【図10】 本発明による画素ドライバーを有する表示装置を組み込んだデジタルカメラの概略図である。

【符号の説明】

11 TFTメモリ

40 21 基板

22 多結晶シリコン層

22a ソース

22b チャネル

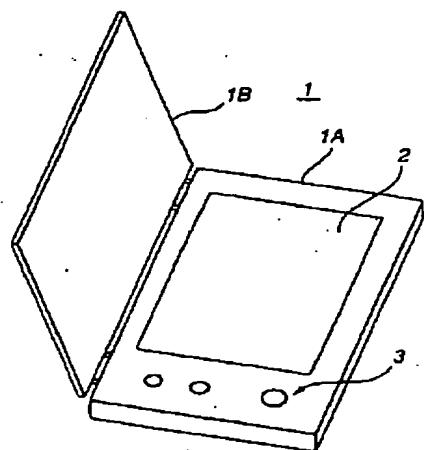
22c ドレン

23 第1のゲート酸化膜

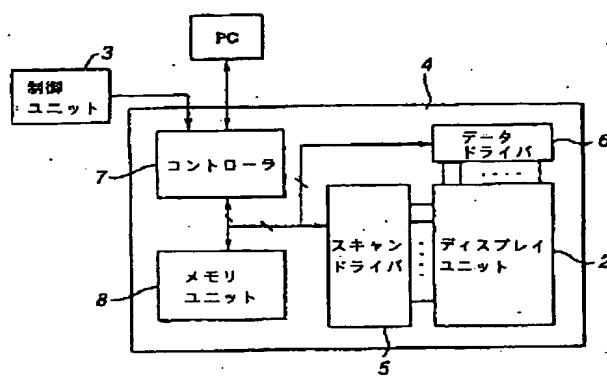
24 シリコン粒子

25 第2のゲート酸化膜

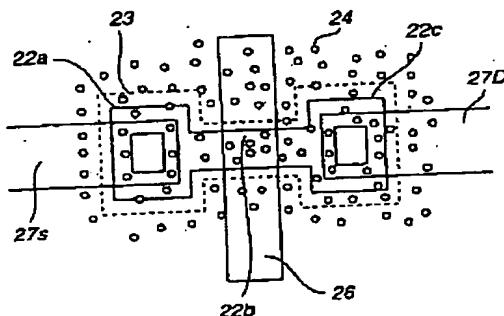
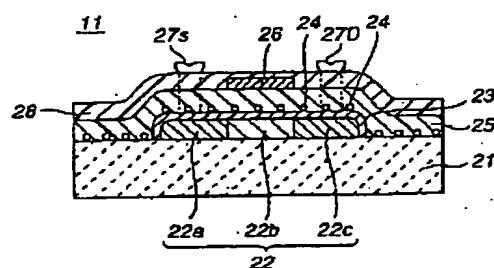
【図1】



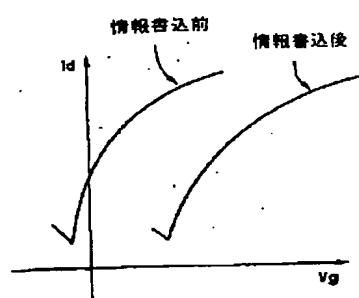
【図2】



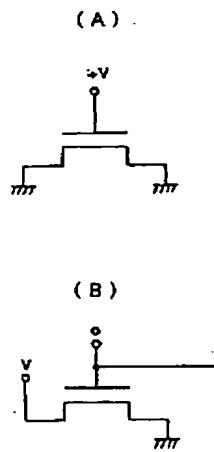
【図3】



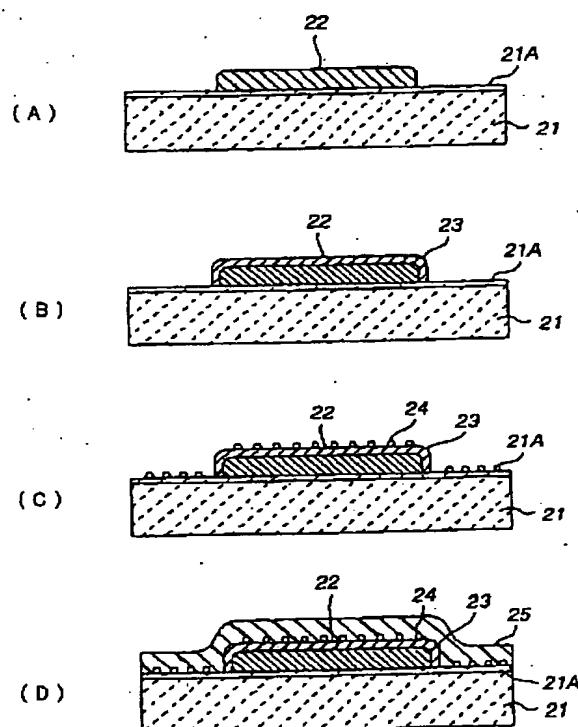
【図6】



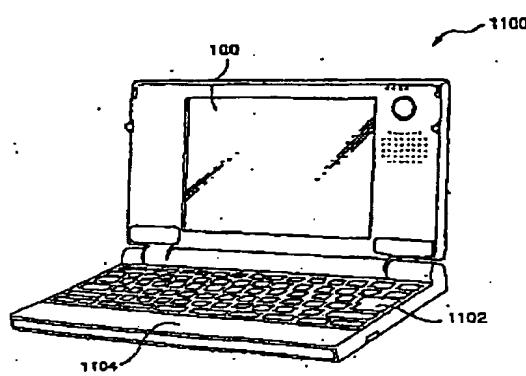
【図7】



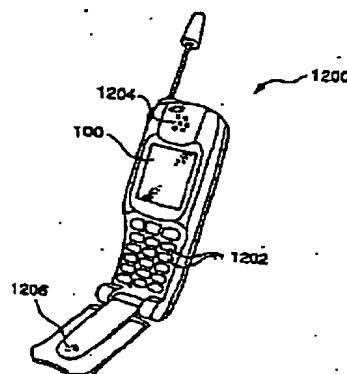
【図5】



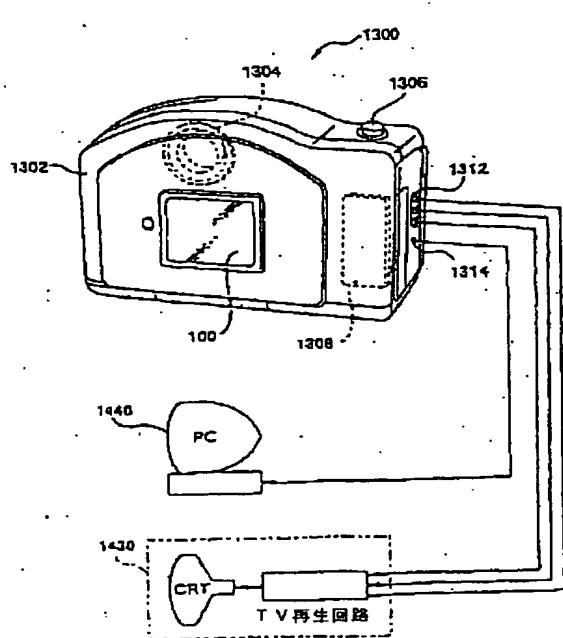
【図8】



【図9】



【図10】



フロントページの続き

F ターム(参考) 5F083 EP17 EP22 ER09 HA02 JA36
JA39
5F101 BA54 BB02 BC02 BC11 BD30
5F110 AA09 BB08 CC02 DD02 DD13
EE03 EE04 EE09 FF02 FF09
FF25 FF29 FF40 GG02 GG13
HJ13 NN02 PP03 QQ11